

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-186909**
(43)Date of publication of
application : **09.07.1999**

(51)Int.Cl. **H03M 1/74**

(21)Application number : **10-245699** (71) **NOKIA MOBILE PHONES LTD**
Applicant :
(22)Date of filing : **31.08.1998** (72)Inventor : **TIILIKAINEN MIKA**

(30)Priority

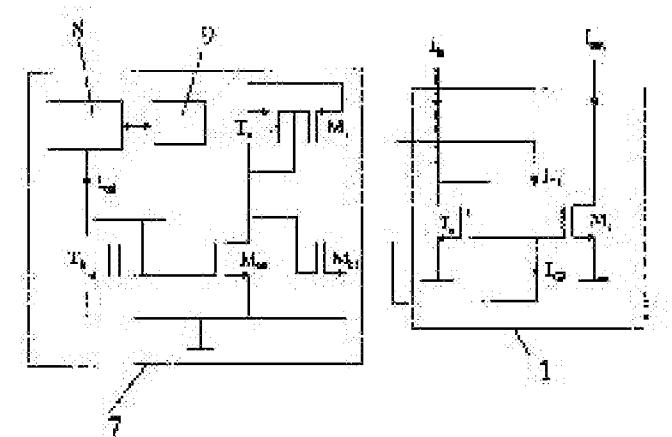
Priority number : **97 973574** Priority date : **01.09.1997** Priority country : **FI**

**(54) ELECTRIC CIRCUIT PROVIDED WITH FIELD EFFECT TRANSISTOR AND
CALIBRATION METHOD FOR THE TRANSISTOR**

(57)Abstract:

PROBLEM TO BE SOLVED: To calibrate a field effect transistor by providing a calibration DC area current source and a calibration DC current sink connected to the respective separately arranged areas of a transistor gate and practically passing a DC calibration current through a gate between the separately arranged areas at the time of use.

SOLUTION: A gate calibration current I_G passed through the resistive gate of a mirror transistor M_a generates a voltage gradient over the width W of an FET channel as the result of an input current I_{in} and is superimposed on a normal gate bias voltage for effectively correcting the channel width W . Thus, since the effect of the gate calibration current on the channel width is relatively small though the change of the gate calibration current I_G changes an output current I_{out} , the relative coarse adjustment of a gate current generates the fine adjustment of the output current I_{out} . By impressing the gate calibration current to the mirror transistor M_a , a current mirror is adjusted precisely.



(9) 日本特許庁 (JP)

(2) 公開特許公報 (A)

(1) 特許出願公開番号

特開平11-186909

(3) 公開日 平成11年(1999)7月9日

(6) IntCl⁵
H03M 1/74

譲渡記号

F 1
H03M 1/74

審査請求 未請求 請求項の第21 OL (余 8 頁)

(21) 出願番号 特願平10-245699

(71) 出願人 ノキア モービル フォーンズ リミテイド

(22) 出願日 平成10年(1998)8月31日

フィンランド国, エフアイエヌ-02150

(31) 優先権主張番号 973574

エスボ-, ケイララ-デンティエ 4

(32) 優先日 1997年9月1日

(72) 発明者 ミカ チリカイキン

(33) 優先権主張国 フィンランド (F 1)

フィンランド国, エフィー-エン-00200

ヘルシンキ, タルベルギン ブリストディ

ー 1 セー 27

(74) 代理人 奥澤士 石田 敏 (外4名)

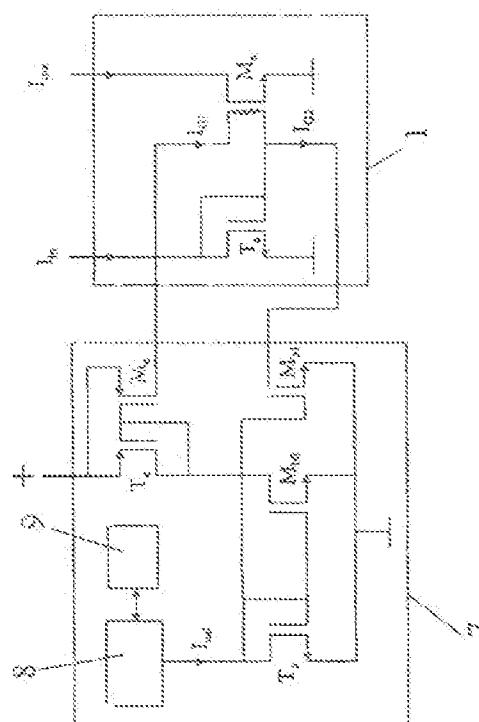
(54) 【発明の名称】 電界効果トランジスタを含む電気回路及び該トランジスタの校正方法

(57) 【要約】

【課題】 電気的調整を用いて電界効果トランジスタの校正をすることを目的とする。

【解決手段】 ソース、ドレイン、抵抗性のゲート、及び該ゲートのそれぞれの離間配置領域に結合された校正DC電流ソース(7)ならびに校正DC電流シンク(7)を有する電界効果トランジスタ(例えばMa)の校正方法が提供される。使用時に実質的にDC校正電流が前記離間配置領域のゲートを通り、トランジスタチャネルの有効幅がトリムされる。

図 4



【特許請求の範囲】

【請求項1】 ソース(3)、ドレイン(4)、及びゲート(2)を有する電界効果トランジスタ(A、B)を含む電気回路において、前記回路が、

トランジスタゲート(2)のそれぞれの範囲配置領域(5、6)に結合された校正DC電流ソース(7)ならびに校正DC電流シンク(7)を含み、使用時に、前記範囲配置領域間のゲート(2)を通してDC校正電流が実質的に通過することを特徴とする回路。

【請求項2】 トランジスタゲート(2)が100/□より大きい抵抗値を持つことを特徴とする請求項1に記載の回路。

【請求項3】 トランジスタゲートが強化されていないボリシリコンからなることを特徴とする請求項1又は2に記載の回路。

【請求項4】 前記校正ソースならびにシンク(7)がはば同一のDC電流をソースレシングルするようにされていることを特徴とする請求項1に記載の回路。

【請求項5】 前記校正ソースならびにシンク(7)が変換器(8)を有する請求項4に記載の回路において、前記デジタル・アナログ変換器(8)が一対のカレントミラーを介してそれぞれのゲート領域に結合されていることを特徴とする回路。

【請求項6】 前記電界効果トランジスタ(A)が、一緒に結合された複数個のトランジスタ素子(10)で構成され、前記トランジスタゲートが前記トランジスタ素子(10)に共通のゲートまたは1セットの結合されたゲート領域を有することを特徴とする請求項1に記載の回路。

【請求項7】 前記2つの範囲配置領域(5、6)がトランジスタ素子(10)のうちの1つのゲート領域上に設けられることを特徴とする請求項6に記載の回路。

【請求項8】 独立した校正DC電流ソースならびにシンク(7)が2つ以上のゲート領域のそれぞれの範囲配置領域(5、6)に結合され、対応するトランジスタ素子(10)が独立に校正されることを特徴とする請求項7に記載の回路。

【請求項9】 前記範囲配置領域(5、6)の第1の領域がゲート領域の第1の領域上に設けられ、もう一方の範囲配置領域がゲート領域の第2の領域上に設けられることを特徴とする請求項6に記載の回路。

【請求項10】 前記第1及び第2の領域及び任意の介在するゲート領域がそれぞれの抵抗性の素子と直列に結合され、使用時に、対応するトランジスタ素子(10)が異なる作動点でバイアスされることを特徴とする請求項9に記載の回路。

【請求項11】 基準電界効果トランジスタ(7)と少なくとも1つのミラー電界効果トランジスタ(B)とを有し、前記トランジスタのうちの少なくとも1つが請求項1に記載の電気回路内に配置されるカレントミラーにおいて、

定電流源(7)が基準トランジスタに結合され、使用時に、基準電流(I_{1n})が前記基準トランジスタ(7)に給電され、1つのミラートランジスタ又は各ミラートランジスタ(B)内にミラー電流(I_{out})を発生させることを特徴とするカレントミラー。

【請求項12】 前記電気回路の一部を形成する前記トランジスタがカレントミラートランジスタ(B)であることを特徴とする請求項11に記載のカレントミラー。

【請求項13】 前記電界効果トランジスタが金属酸化物半導体FET(MOSFET)であることを特徴とする請求項11又は12に記載のカレントミラー。

【請求項14】 請求項11に記載のカレントミラーを有し、1つのミラートランジスタまたは各ミラートランジスタ(B)が1つの変換ビットに対応することを特徴とするデジタル・アナログ変換器。

【請求項15】 請求項14に記載のデジタル・アナログ変換器において、前記変換器の幾何学的構成が共通重心法によって決定され、前記DC校正電流ソースならびにシンク(7)が最上位変換ビットに対応する少なくとも前記トランジスタに結合されることを特徴とするデジタル・アナログ変換器。

【請求項16】 ソース、ドレイン、及びゲートを有する電界効果トランジスタの作動方法において、前記方法が、前記トランジスタゲートの第1の領域へのDC校正電流の入力及び前記ゲートの第2の領域からのDC校正電流の抽出を含み、前記第1及び第2の領域が互いに離隔して配置され、前記トランジスタの作動エラーを補償するために前記校正電流が決定されることを特徴とする方法。

【請求項17】 ソース、ドレイン及びゲートを持ち、請求項1に記載の電気回路の一部を形成する電界効果トランジスタの校正方法において、前記方法が、ON状態にするように前記トランジスタにバイアスをかけるステップと、

前記トランジスタのソース/ドレイン電流をモニターするステップと、

前記校正ソースならびにドレインに印加した前記DC校正電流を調節して、所望のソース/ドレイン電流を供給するステップと、

を含むことを特徴とする方法。

【請求項18】 基準電界効果トランジスタ及び少なくとも1つのミラー電界効果トランジスタを有し、各トランジスタがソース、ドレイン及びゲートを持つカレントミラーの作動方法において、前記方法が、

1つのミラートランジスタ又は各ミラートランジスタ内にミラー電流を発生させるために、基準トランジスタのソース又はドレインに定電流を印加するステップと、前記トランジスタの少なくとも1つのゲートの第1の領域にDC校正電流を入力し、同じトランジスタのゲートの第2の領域からDC校正電流を抽出するステップであつ。

て、前記第1及び第2の領域が互いに隣接して配置されているものと、

前記入力され、抽出された校正電流を調節して、ミラー電流をトリムするステップと、
を含むことを特徴とする方法。

【請求項19】 前記入力され、抽出されたDC校正電流が実質的に同一の大きさであることを特徴とする請求項18に記載の方法。

【請求項20】 前記方法が、少なくとも1つのミラートランジスタのゲートへのDC校正電流の入力、及び少なくとも1つのミラートランジスタのゲートからのDC校正電流の抽出を含むことを特徴とする請求項18又は19に記載の方法。

【請求項21】 前記ミラーが、共通のゲートを持つ2つ以上のミラートランジスタを有し、前記方法が前記共通のゲート中へ單一の校正電流を入力し、前記共通のゲートから該電流を抽出することを含むことを特徴とする請求項18に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界効果トランジスタに関する、特に（必ずしもというわけではないが）、カレントミラー及び他の電流源で用いる電界効果トランジスタに関する。

【0002】

【従来の技術】多くのアナログ回路装置において正確で一定の基準電圧と基準電流が必要とされる。基準電流の場合は基準電圧ソースと抵抗器を用いて発生させことが多い。集積アナログ回路においてはチップスペースが貴重であり、普通1つしか集積されていないか、そのようなソース/抵抗器を2、3組合わせたものを1つのチップの中に集積し、カレントミラーを用いてベースとなる基準電流から他の基準電流を発生させるのが普通である。カレントミラーは比較的簡単な構造をしており、広いチップ面積を占有しない。図1に例示したように、典型的なカレントミラーは、一対の整合されたMOSFETトランジスタ（基準トランジスタT₁及びミラートランジスタ（airroding transistor）T₂）を有し、この図でI_{in}は基準電流、I_{out}はミラーサれた出力電流である。1つ又はそれ以上の追加のカレントミラートランジスタを並列に加えることによって、カレントミラーを強化することができる。

【0003】カレントミラーの1つの応用としてデジタル・アナログ(D/A)変換器があり、この変換器では、スイッチ抵抗や不整合負荷のような要因に関する変換誤差の原因として基準電圧と基準電流の精度の不正確さが支配的になる傾向がある。図2に示す単純な4ビットD/A変換器は、カレントミラー構成で配置された基準MOSFETトランジスタT₁と4つのミラートランジスタ（T₂～T₅）を有する。トランジスタT₁とT₂とはチャネル幅対

長比が4/1であるが、トランジスタT₃及びT₄はそれぞれ、2/1、4/1及び8/1のチャネル幅対長さ比を持つ。スイッチ（S₁～S₄）は、各々のMOSFET（T₁～T₅）のドレインと直列に配置される。これらのスイッチは、変換されるべきデジタル（2進）信号のそれぞれのビット（a₃～a₀）によって制御される。a₃は信号の最下位ビット（LSB）に対応し、一方、a₀は最高位ビット（MSB）に対応する。これらのスイッチ（S₁～S₄）は一端で一緒に結合され、各スイッチの活性状態に応じて出力電流I_{out}が引き出される。

【0004】

【発明が解決しようとする課題】図2のD/A変換器で用いられているようなカレントミラーは、ミラーの精密度によって左右される精度の変動度を用いて基準電流をコピーしたり基準化（スケール）したりする。実際問題として、カレントミラーの各トランジスタが同一でない（すなわち、同一のものとして基準化されていない）ためにエラーが生じる。この不整合の程度は、各トランジスタのレイアウトを決定するための共通重心法（common centroid method）を用いることによって最小化することができる。例えば、図2に示される4ビット変換器については、トランジスタT₁とT₂はそれぞれの單一のトランジスタ素子によって提供されるが、一方トランジスタT₃、T₄及びT₅は、それぞれ2、4、及び8個の並列接続トランジスタ素子（各々4/1のチャネル幅対長さ比を有する）によって提供される。これらの素子は、図3に例示されているような幾何学パターンで配置され、各トランジスタ素子は素子番号によって示される（Tはダイオード接続された基準トランジスタを表す）。しかし、特に高位ビットD/A変換器（例えば12又は14ビット）については、共通重心法では、各MSBの変換を高精度で行うことが保証されない。これは、これらのビットに対応するトランジスタを構成するトランジスタ素子間の間隔が広いことが原因となり得る。レーザートリミングのような技術を利用して、ある一定の回路素子の寸法と特性を物理的に調節することはできるが、一般に、これらの技術は実施するには時間と費用がかかる技術である。

【0005】電界効果トランジスタの特性の精度の不正確さが重大なエラーの原因となり得る他の多くの応用例がある。一つの例は、減算回路、乗算器及び比較器回路の中に電界効果トランジスタが組み込まれている、いわゆる「バイアライズ」アナログ・デジタル（A/D）変換器である。このような変換器の精度はこれらの回路の各トランジスタの動作精度に決定的に左右される。

【0006】高品質の応用例では、D/A及びA/D変換器はナイキスト（Nyquist）周波数で作動可能なものでなければならない。移動通信デバイスの場合には、現在の及び近い将来のデータ処理速度で、中間周波数（IF）帯で変換器を使用するということは、10MHz又はそれ以上の動作周波数を意味する。図2のアーキテクチャに基づく変

機器は、そのような高周波で作動可能ではあるが、その一方でその変換精度は高位ビット変換器として良好でない場合が多い。他方、シグマ-デルタ（すなわちオーバサンプリング）変換器のような代替的アーキテクチャに基づく変換器は高精度でかつ高ビット変換を行えるが（わずか数ノマヘルツで作動する）低速度に苦しむ。これらの、またその他の変換器については、大規模集積回路を望む場合、高電力消費のみならず、変換器によって占有される広いチップ面積も問題となる場合がある。

【0007】したがって電気的調整を用いて電界効果トランジスタの校正(calibration)を提供することが本発明の目的である。

【0008】

【課題を解決するための手段】本発明の第1の形態では、ソース、ドレイン、及びゲートを備えた電界効果トランジスタと、離間配置領域(spaced apart regions)間にゲートを実質的にDC校正電流が通ることができるようになっている、トランジスタゲートのそれぞれの前記離間配置領域に接続された校正DC電流ソースならびに校正DC電流シンクと、を有する電気回路が提供される。

【0009】本発明は、DC校正電流を用いる電界効果トランジスタのチャネルの「有効」縦のトリミングを提供する。この校正電流がチャネルの特性に影響を与える程度は校正電流の大きさに比べて小さい。従って、校正電流の比較的大きな変動を利用して限界までチャネルを調節、すなわちトリム(trim)することが可能である。

【0010】好適には、トランジスタゲートは抵抗性の、例えば抵抗性のポリシリコンであることが望ましい。より好適には、ゲート材料は珪化されていないポリシリコンであることが望ましい。典型的には、ゲート抵抗は $10\Omega/\mu\text{m}$ より大きい。

【0011】好適には、校正電流のソースならびにシンクは例えば $200\text{K}\Omega$ より大きな高出力インピーダンスを持つことが望ましい。

【0012】好適には、校正電流のソースならびにシンクは実質的に同一のDC電流をソースレシンクするようになっていることが望ましい。このようにして、トランジスタのアクティブ信号電流に対する校正電流の干渉は防げられる。より好適には、校正ソースならびにシンクはカレントミラーを介してそれぞれのゲート領域に結合されたデジタル・アナログ変換器によって提供されることが望ましい。

【0013】電界効果トランジスタは、共通ゲート又は1セットの直列接続ゲートと一緒に結合された複数個のトランジスタ素子で構成されるものであってもよい。この場合、前記2つの離間配置領域をトランジスタ素子の1つのゲート上に又はゲート領域上に設けてもよい。あるいは、前記離間配置領域の第1の領域をゲート又はゲート領域の第1のものに設け、もう一方の離間配置領域をゲート又はゲート領域の第2のものに設けてもよい。

前記第1及び第2のゲート領域を抵抗性素子の周りに直列に結合してもよい。追加のゲート領域とそれぞの抵抗性の素子を第1と第2のゲート領域の間に直列に結合してもよい。更にもう一つの代替例では、独立した校正DC電流のソースならびにシンクを2つ以上のゲート又はゲート領域のそれぞれの離間配置領域に結合してもよい。それによって対応するトランジスタ素子を独立に校正することができる。

【0014】本発明の第2の形態では、基準電界効果トランジスタと少なくとも1つのミラー電界効果トランジスタであって、これらトランジスタの少なくとも1つが本発明の上述の第1の形態による電気回路中に配置されているものと、使用時に基準電流が前記1つのミラートランジスタ又は各ミラートランジスタ中にミラー電流を生成させる、基準トランジスタに結合されている定電流源と、を有するカレントミラーが提供される。

【0015】上述の第2の本発明の形態では、校正ソースならびにシンク電流を調節することによってミラー電流の大きさを調節することができる。

【0016】好適には、前記電気回路の一部を形成するトランジスタはミラートランジスタであることが望ましい。あるいは、基準トランジスタが前記電気回路の一部を形成するものであってもよい。

【0017】好適には、電界効果トランジスタは金属酸化物半導体FET(MOSFET)であることが望ましい。あるいは金属電界効果トランジスタ(MESFET)のような他のトランジスタを使用してもよい。

【0018】本発明の第3の形態では、本発明の上述の第2の形態によるカレントミラーを有するD/A変換器が提供され、この変換器では各々のミラートランジスタが1つの変換ビットに対応する。

【0019】好適には、このD/A変換器は電流モードで作動するようにされていることが望ましい。

【0020】好適には、この変換器の幾何学的構成は共通重心法に従って決定され、DC校正電流ソースならびにシンクは最上位変換ビットに対応するトランジスタに少なくとも結合されていることが望ましい。

【0021】本発明の第4の形態では、ソース、ドレイン及びゲートを持つ電界効果トランジスタの作動方法が提供され、この方法には、DC校正電流の、トランジスタゲートの第1の領域への入力及び該ゲートの第2の領域からのDC校正電流の抽出が含まれる。前記第1及び第2の領域は互いに離間して配置され、その校正電流が決定されてトランジスタの作動エラーが補償される。

【0022】本発明の第5の形態では、ソース、ドレイン及びゲートを持ち、上述の本発明の第1の態様に従って電気回路の一部を形成する電界効果トランジスタの校正方法が提供される。この校正方法は、ON状態にするようにトランジスタにバイアスをかけるステップと、トランジスタのソース/ドレイン電流をモニターするステッ

ブと、前記校正ソースとドレインに印加されるDC校正電流を調節して、所望のソース/ドレイン電流を提供するステップと、が含まれる。

【0023】このプロセス中で決定される校正電流(1つ又は複数)をメモリに格納することができる。デバイスが使用中である時にはこの格納された電流値(単数又は複数)がメモリから読み取られ、対応する電流(単数又は複数)が該トランジスタに印加される。

【0024】本発明の第6の形態では、基準電界効果トランジスタ及び少なくとも1つのミラー電界効果トランジスタ(これらトランジスタは各々ソース、ドレイン及びゲートを持つ)を有するカレントミラーの作動方法が提供される。この作動方法には、基準トランジスタのソース又はドレインに定電流を印加して、1つのミラートランジスク又は各ミラートランジスタにミラー電流を発生させるステップと、各トランジスタのうちの少なくとも1つのゲートの第1の領域にDC校正電流を入力し、同じトランジスタ(単数又は複数)のゲートの第2の領域からDC校正電流を抽出するステップであって前記第1及び第2の領域が互いに離間して配置されているものと、この入力され、抽出された校正電流を調節して、ミラー電流(単数又は複数)をトリムするステップと、が含まれる。

【0025】好適には、この入力され、抽出されたDC校正電流は実質的に同一の大きさであることが望ましい。

【0026】好適には、この方法には、少なくとも1つのミラートランジスクのゲートへのDC校正電流の入力、及び少なくとも1つのミラートランジスタのゲートからのDC校正電流の抽出が含まれることが望ましい。このミラーに、共通ゲートを持つ2つ以上のミラートランジスクが含まれる場合、單一の校正電流をこの共通ゲートへ入力し、またこの共通ゲートから單一の校正電流を抽出することができる。

【0027】本発明をよりよく理解するために、また、同発明をどのように実行するかを示すために、添付図面を参照しながら以下本発明の実施形態を説明する。

【0028】

【発明の実施の形態】単純なカレントミラーの構造を図1を参照しながら上記で説明すると共に、そのようなカレントミラー(図2及び3)を利用できる単純なD/A変換器の構造を説明してきた。図4は、ミラートランジスタRaが図5に示すような改変されたゲート構造を持つ図1のカレントミラー(金線を通じて参考番号1で示す)を補償する構成を示す図である。

【0029】特に、ミラートランジスタRaはMOSFETトランジスタであり、このトランジスタでは、ソース及びドレイン領域3、4の間に施加するトランジスタチャネルの上部にゲート2が設けられる。ゲートの幅Wはその長さより大きい。本明細書で以下説明するように、ゲート2を通してDC電流を通すために一対のゲート接続部5

6がゲート2の対向する各端部領域に設けられる。

【0030】ゲート2は、典型的には数10Ω/□の抵抗値を持ち、ゲート酸化物上にデポジットされる。抵抗性の珪化されていないポリシリコンから形成される。このポリシリコンゲートが、抵抗性を持ったままの状態であること(但し、金属化物のその後のデポジションによって珪化物になることはない)を保護するために、例えばSSS-Thomson社(フランス)から販売されているHMO S5という登録商標のもとで入手可能な、シプロットマスク(sipret-mask)(珪化物保護マスク)によって、ゲート2は保護される。このマスクは、ゲートをポストメタライゼーション(post-metallisation)から保護するものである。ポストメタライゼーションは、施行が許されれば、容認できないほど低レベル(すなわち1Ω/□未満)までゲートの抵抗値を下げる可能性がある。これらの技術は、アナログ集積回路の製造では一般に使用されているものである。

【0031】図4の回路には、金線を通じて参考番号7で示す校正回路が含まれ、この回路は、一対のカレントミラートランジスタM_{1a}、M_{1b}を備えた第1のカレントミラー(3_a、M_{1a}、M_{1b})を有する。これらのミラートランジスタのうちの第1のトランジスタM_{1a}は、校正入力電流I_{in}からDC校正シンク電流(I_{o2})を発生させる。第2のミラートランジスタM_{1b}はDC電流を発生させ、この電流は第2のカレントミラー(3_b、M_{2b})によって利用されてDC校正ソース電流(I_{o1})を発生させる(但し、I_{o1}=I_{o2}=I_o)。校正電流(I_{o1})は図2に例示されているようなD/A変換器8によって発生される。この校正回路によって、高出力インピーダンス電源ソースならびにシンクがMOSFETのゲート2に対して与えられる。

【0032】ミラートランジスタRaの抵抗性のゲート2を通るゲート校正電流I_oはD/Aチャネルの構成において電圧勾配を引き起こす原因となる。この勾配は、入力電流I_{in}の結果として生じ、チャネル幅Wを有効に修正する正常なゲートバイアス電圧上に重畳される。したがってゲート校正電流I_oの変化は出力電流I_{out}を変化させる。しかし、そのチャネル幅に対するゲート校正電流の影響は比較的小さいため、ゲート電流(すなわち50μA)の相対的粗調節は、出力電流I_{out}の細密調節を結果として生じる。良好な校正を行うためには、D/A変換器8が特に高い精度を持つ必要はなく、3又は4ビット変換器で十分であることは明らかであろう。ゲート校正電流をミラートランジスタRaに印加することによってカレントミラーの精密な校正すなわちトリミングを行うことが可能となり、精密に測定された基準電流を発生させることができる。

【0033】デジタルの校正電流値はD/A変換器8によってメモリ9から読み取られる。典型的には、この値は工場セットアップ段階中に決定され、正しい出力電流I_{out}が得られるまで校正電流I_oが調節される。次いで

対応するデジタル値がメモリ9に書き込まれる。

【0034】図2を参照しながら上述したように、複数個のミラートランジスタを持つカレントミラーを用いてD/A変換器を構成することができる。各々のミラートランジスタが1セットの並列接続トランジスタ素子によって順番に提供される。これは図6にもっと詳細に示されており、D/A変換器のMSBに対するミラートランジスタのみが、8つの個々のトランジスタ素子10に「分解されて」示されている。もしの校正を可能にするために、図4に示すような校正回路7をトランジスタ素子10の1つのゲート領域にわたって接続することもできる。しかし、図6に示すように、いくつかのトランジスタ素子（この場合3つ）のゲート領域を直列に接続し、3つの素子全部に校正電流I_{corr}を流すことによって、より大きなレベルの調節を行うことが可能である。個々のトランジスタ素子のアスペクト比（凡）が例えば20μ/10μで、珪化されていないシリコンの固有抵抗値が100Ω/□の場合、珪化されていないゲートの抵抗値は200Ωであるから、3つの直列接続ゲート領域の全体抵抗値は600Ωとなる。この結果、50μAの校正電流で30mVの電圧降下がゲートにわたって生じる。このアプローチを4-5あるいは8つのゲート素子10の全てにまで拡張して、校正範囲をずっと大きく増加させることができる。

【0035】図7は、図6のミラートランジスタ8の上位4つのトランジスタ素子10を示すもので、低抵抗のゲートのみを使用できるように改変したものである。上述したように、MOSFETゲートの抵抗値が低い場合、比較的小さな電圧降下しかゲートにわたって発生しない。しかし、補償電流I_{corr}が流れるゲート領域（すなわちこの上位3つのトランジスタ素子の領域）を抵抗11と接続することによって、補償電流はこれらのゲート領域の各々に固定バイアス電圧を引き起こすようになる。このバイアス電圧は補償電流I_{corr}の大きさによって決まる。したがって、補償電流I_{corr}を変更することによって、抵抗接続されたトランジスタ素子の有効チャネル幅を修正することができる。実際問題として、線形領域で作動する各個MOSFETと図7の各抵抗とを結合することが望ましい、というのは、これらのMOSFETは例えば抵抗器と比べると比較的小さいチップ面積しか占有しないからである。

【0036】図6の構成は、基準トランジスタがミラートランジスタ素子に与える基準電圧を低下させる。正負両方の校正を行うためには、校正回路7を改変して選択的に正または負の校正電流を提供するようにする必要がある。あるいは、補償が常に負の方向になるようにまたは正の方向になるように、出力電流が所要の電流を超過することを保証するためにトランジスタ素子の数を選択する。このようにして、負又は正の校正電流のみが必要とされる。

【0037】D/A変換器のMSBに対して校正を行うことは特に望ましい。なぜなら、共通重心法を使用してチッ

プの幾何学的構成を決定するとき、MOSトランジスタを構成するトランジスタ素子は周辺部に存在しがちとなるからである。しかし、上述の校正はそれらのトランジスタの中の他のトランジスタやそれらのトランジスタの1つ又はそれ以上のトランジスタ素子に対して適用することができる。

【0038】上述の実施例がいわゆる「単純な」カレントミラーにのみ関するものであったのに對して、本発明は、「カスコード形」カレントミラーのような、他のタイプのカレントミラーを補償するために適用することができる。

【0039】本発明のさらにもう一つ別の応用例を示すために、一对のMOSFET D₁とD₂、一对の抵抗R₁、R₂、及びバイアス電流I_{bias}を提供する定電流源を有する単純な差動増幅器を図8に示す。上述のように（図5）、FET D₁は抵抗性のゲートと一对の校正電流ゲート接点部を備えている。校正電流（I₁₁=I₁₂）は、これらの接点部を介してゲートを通り、現在のオフセット値に対して差動増幅器を補償することができる。

【0040】精密に固定された電流を発生させるために用いられ、カレントミラー及び／又はデジタル・アナログ変換器での使用に限定されない任意のMOSFETを校正するため、本発明を適用することができることを当業者は理解するであろう。例えば、差動増幅器と比較器で使用される各個MOSFETを校正するために本発明を適用することができる。校正は、工場セットアップ段階中にデジタルメモリに格納されている決定された校正電流値を用いて行われる、あるいは、例えば、このトランジスタを用いるデバイスをオンとする度毎に、又は、デバイスの作動中定期的な間隔で、補償電流値の決定を行うことができる。これによってトランジスタを例えば温度変化に対して補償することができる。A/D変換器を構成するために上述のD/A変換器を使用することができることも理解されうる。

【図面の簡単な説明】

【図1】公知のデザインによる単純なカレントミラーを示す図である。

【図2】公知のデザインによる単純な4ビットデジタル・アナログ変換器を示す図である。

【図3】共通重心法による図2のデジタル・アナログ変換器のための幾何学的チップレイアウトを示す図である。

【図4】本発明による校正システムを組み込んだカレントミラーを示す図である。

【図5】図4のカレントミラーのミラートランジスタへのゲート接続をより詳細に示す図である。

【図6】図2に示すタイプのデジタル・アナログ変換器に適用した図4の校正システムを示す図である。

【図7】図6の校正システムに対する変形例を示す図である。

【図8】差動増幅器に適用した図4の校正回路を例示する図である。

卷之三

- 1 …カレントミラー
2 …ミラートランジスタ版のゲート
3 …ミラートランジスタ版のソース

- 4 ...ミラートランジスタ船のドレイン
 - 5,6 ...対のゲート接続部
 - 7 ...校正無路(校正ソースならびにシンク)
 - 8 ...D/A 変換器
 - 9 ...メモリ

200

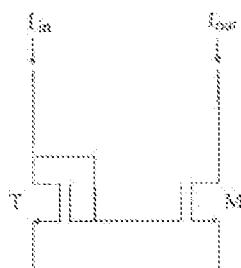
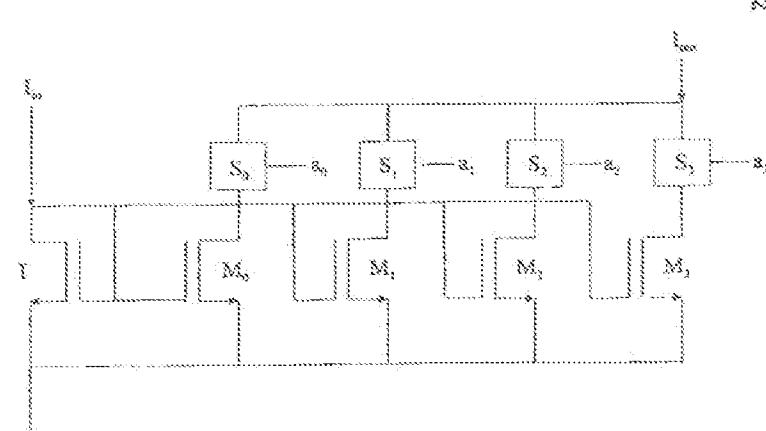


图23

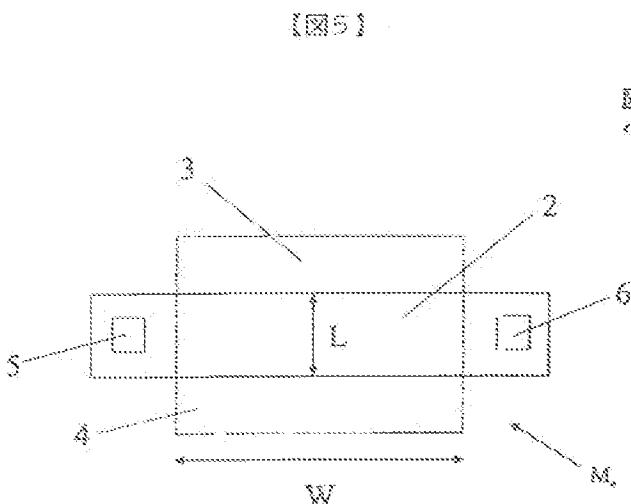


卷之三

63

4	3	4	4
4	3	2	3
3	2	1	4
4	3	3	4

卷之三



【図6】

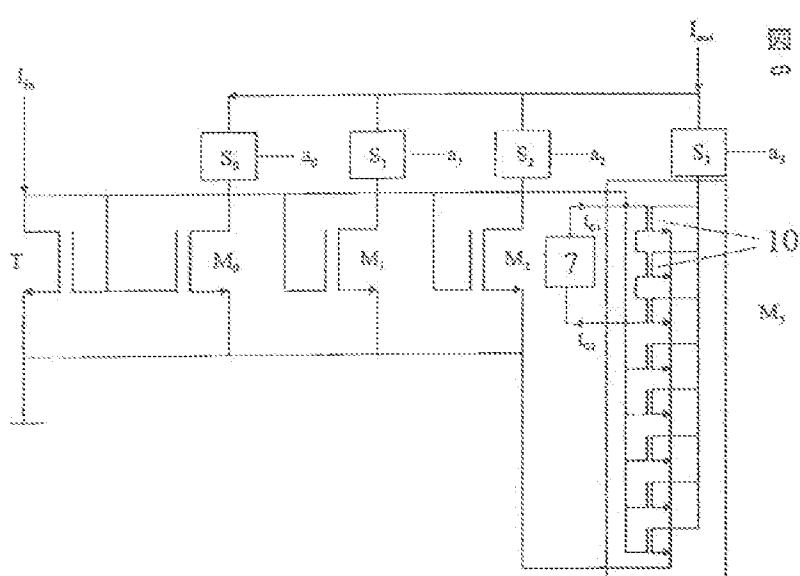
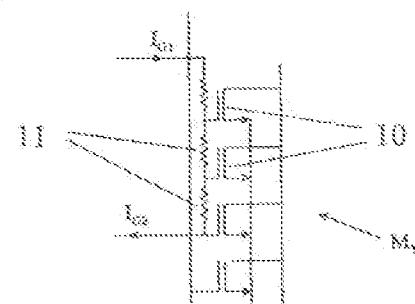


図7



【図8】

